

明 細 書

5 素子転写方法および表示装置

技術分野

本発明は、素子転写方法及び表示装置に関する。さらに詳しくは、素子を精度良く転写することができる素子転写方法及び表示装置に関する。

10

背景技術

発光素子をマトリクス状に配列して画像表示装置に組み上げる場合には、従来、液晶表示装置（LCD：Liquid Crystal Display）やプラズマディスプレイパネル（PDP：Plasma Display Panel）のように基板上に直接素子を形成するか、
15 あるいは発光ダイオードディスプレイ（LEDディスプレイ）のように単体のLEDパッケージを配列することが行われている。例えば、LCD、PDPの如き画像表示装置においては、素子分離ができないために、製造プロセスの当初から各素子はその画像表示装置の画素ピッチだけ間
20 隔を空けて形成することが通常行われている。

一方、LEDディスプレイの場合には、LEDチップをダイシング後に取り出し、個別にワイヤーボンドもしくはフリップチップによるバン
プ接続により外部電極に接続し、パッケージ化されることが行われている。この場合、パッケージ化の前もしくは後に画像表示装置としての画
25 素ピッチに配列されるが、この画素ピッチは素子形成時の素子のピッチとは無関係とされる。

発光素子であるLED（発光ダイオード）は高価である為、1枚のウェハから数多くのLEDチップを製造することによりLEDを用いた画像表示装置を低コストにできる。すなわち、LEDチップの大きさを従来約300 μ m角のものを数十 μ m角のLEDチップにして、それを接

5 続して画像表示装置を製造すれば画像表示装置の価格を下げるができる。

ところで、素子形成基板に形成された複数の素子を装置基板に再配列して所要の装置を製造する製造工程に関して、一時的に素子を保持する素子保持基板に形成された接着剤層に素子を転写した後、最終的な配置

10 先である装置基板に転写することにより素子を配列する素子の配列方法が行われている。

素子保持基板から装置基板に素子を転写する際には、素子保持基板に仮固定された素子上に接着剤を滴下し、その後に装置基板を接着していた。この際、素子保持基板と装置基板とを接着した後に、素子保持基板

15 と装置基板とを剥離するのであるが、接着剤によって強力に接着されている素子保持基板と装置基板とを剥離することは困難であった。特に、大きな面積の基板同士を張り合わせた場合には剥離の際に基板が損傷する可能性が高くなるという問題があった。さらに、素子が接着剤層に埋め込まれた状態で接着剤層を硬化するため、素子を装置基板上に転写した後に再度同一の装置基板上に素子を転写することが困難であった。

20

したがって本願発明は、素子を配列した基板から他の基板へ素子を転写する際に、素子の転写を行った後に容易に基板の剥離を行うことができ、基板が損傷する可能性を低減することが可能であり、素子を転写した後に再度同一の基板上に素子を追加して転写することが可能な素子転

25 写方法および表示装置を提供することを課題とする。

発明の開示

上記課題を解決するために本願発明の素子転写方法は、第一の基板上に配列された素子を、第二の基板上に形成された粘着層に埋入する工程と、前記第一の基板から前記素子を剥離して、前記素子を前記粘着層に埋入した状態で保持する工程とを有することを特徴とする。

粘着層に素子を埋入することにより第二の基板に対する素子の配列を保持するため、素子形状に依らずに粘着層内に素子を埋め込み、第二の基板上に実装することが可能となる。また、第一の基板と第二の基板とを接近させることで第一の基板上に配列された複数の素子を、一括して粘着層に埋入することができるため、第一の基板上での素子同士の配置状態を維持したまま同時に複数の素子を第二の基板に実装させることが可能である。粘着層を硬化する前に仮接着層から素子を剥離するため、第一の基板と第二の基板を引き離す際に要する力が小さくなり、第一の基板または第二の基板が破損する可能性を低減することが可能となる。

また粘着層に素子を埋入して保持した後に粘着層を硬化することで、粘着層の硬化前に素子が埋入された状態では、さらに素子を粘着層に埋入することができる。また、粘着層を硬化した後に粘着層上に第一の電気配線を形成し、粘着層の第一の電気配線が形成された面に第三の基板を貼り付け、第二の基板と粘着層とを剥離し、粘着層に前記素子まで到達する開口部を形成し、開口部に導電性材料を充填するとともに、粘着層上に第二の電気配線を形成することにより、素子の配列を維持したまま素子に電気配線を接続することができ、表示装置や電子機器の製造等において簡便に本発明の素子転写方法を用いることが出来る。

また、素子を粘着層に埋入する前に、第一の基板上に形成された仮接着層に素子を接触させ、素子を仮接着層に仮接着して第一の基板上に素子を配列することで、第一の基板上で素子を配列する際に何度も配列を

やり直すことが可能であり、乱れのない素子の配列を行った後に素子を転写できる。

第一の基板上に形成された仮接着層の粘着力よりも、第二の基板上に形成された粘着層の粘着力が大とすることや、粘着層または仮接着層の粘着力を変化させ、仮接着層の粘着力よりも粘着層の粘着力を大とすることにより、粘着層と仮接着層との間の粘着力の相異に起因して、素子を粘着層に埋入させて第一の基板と第二の基板とを引き離すだけで、素子が粘着層に埋入された状態で素子を仮接着層から剥離することが可能となり、作業工程が簡便なものとなる。

さらに粘着層に対する埋入を、素子が部分的に埋没する程度行うことにより、粘着層と仮接着層とが直接接触することがなくなり、第一の基板と第二の基板を引き離す際に要する力が小さくなり、第一の基板または第二の基板が破損する可能性を低減することが可能となる。また、粘着層を絶縁性材料により形成することで、素子の転写が終わった後に粘着層を除去せずに粘着層をそのまま絶縁層として用いることができ、電子機器などの製造工程を減少することが可能となる。

また、上記課題を解決するために本願発明の素子転写方法は、第二の基板上に形成された粘着層に一方の素子が埋入された状態で、さらに第一の基板上に配列された他方の素子を前記粘着層に埋入する工程と、前記第一の基板から前記他方の素子を剥離して、前記他方の素子を前記粘着層に埋入した状態で保持する工程とを有することを特徴とする。

粘着層に一方の素子が埋入された状態でさらに他方の素子を粘着層に埋入することにより、第一の基板の面積が小さい場合にも第二の基板を大型化して、第一の基板上に配置された素子を複数回にわたって第二の基板上に転写することができるため、大きな表示面積の表示装置を製造する場合にも本願発明の素子転写方法を用いることが可能となる。

このとき、一方の素子と他方の素子とを異なる特性を有する素子とすることで、同一の成長基板上には形成し得ない素子を第二の基板上に配列して保持させることができる。このとき特性の異なる素子として赤・緑・青など異なる色の発光を行う発光ダイオードを第二の基板に配列することで、多色表示の表示装置を得ることもできる。また、基板上の異なる領域に一方の素子と他方の素子を埋入して保持することにより、素子を第一の基板に配列することが可能な面積が限定されている場合にも、第二の基板の面積を大きくして、粘着層の素子が埋入されていない領域に素子を追加して埋入して、大面積の基板上にも素子配列を行うことが可能となる。これは、特に大画面の表示装置を製造する場合に有用な素子転写方法となる。

また、上記課題を解決するために本願発明の表示装置は、第一の基板上に配列された素子を、第二の基板上に形成された粘着層に埋入し、前記第一の基板から前記素子を剥離して、前記素子を前記粘着層に埋入した状態で保持させて前記粘着層を硬化し、前記粘着層上に第一の電気配線を形成し、前記粘着層の前記第一の電気配線が形成された面に第三の基板を貼り付け、前記第二の基板と前記粘着層とを剥離し、前記粘着層に前記素子まで到達する開口部を形成して、前記開口部に導電性材料を充填するとともに、前記粘着層上に第二の電気配線を形成して得られることを特徴とする。

素子を粘着層に埋入する素子転写方法を用いて表示装置を得ることにより、素子の配列および電気配線の形成を良好に行うことができる。第一の電気配線と第二の電気配線とによって素子に電圧を印加して単純マトリクス駆動により表示を行うことで、既存の単純マトリクス駆動による表示装置と同様に画像の表示を行うことが可能である。

また、上記課題を解決するために本願発明の表示装置は、第一の基板

上に配列された一方の素子を第二の基板上に形成された粘着層に埋入し、前記第一の基板から前記一方の素子を剥離して前記一方の素子を前記粘着層に埋入した状態で保持し、前記粘着層に一方の素子が埋入された状態で、さらに第一の基板上に配列された他方の素子を前記粘着層に埋入し、前記第一の基板から前記他方の素子を剥離して前記他方の素子を前記粘着層に埋入した状態で保持し、前記一方の素子および前記他方の素子を前記粘着層に埋入した状態で保持させて前記粘着層を硬化し、前記粘着層上に第一の電気配線を形成し、前記粘着層の前記第一の電気配線が形成された面に第三の基板を貼り付け、前記第二の基板と前記粘着層とを剥離し、前記粘着層に前記一方の素子または前記他方の素子をまで到達する開口部を形成して、前記開口部に導電性材料を充填するとともに、前記粘着層上に第二の電気配線を形成して得られることを特徴とする。

素子を粘着層に埋入する素子転写方法を用いて表示装置を得ることに
より、素子の配列および電気配線の形成を行うことができる。粘着層に一方の素子が埋入された状態でさらに他方の素子を粘着層に埋入することにより、第二の基板を大型化して大きな表示面積の表示装置を得ることが容易になる。

このとき、一方の素子と他方の素子とを異なる特性を有する素子とすることで、同一の成長基板上には形成し得ない素子を第二の基板上に配列して保持させることができる、異なる色の発光を行う発光ダイオードを配列することで多色表示の表示装置を得ることもできる。また、基板上の異なる領域に一方の素子と他方の素子を埋入して保持することにより、素子を第一の基板に配列することが可能な面積が限定されている場合にも、第二の基板の面積を大きくして、粘着層の素子が埋入されていない領域に素子を追加して埋入して、大面積の基板上にも素子配列を行

うことが可能となる。

第一の電気配線と第二の電気配線とによって素子に電圧を印加して単純マトリクス駆動により表示を行うことで、既存の単純マトリクス駆動による表示装置と同様に画像の表示を行うことが可能である。また、一方の素子または他方の素子が、表示素子または駆動回路素子であるとし、
5 駆動回路素子により表示素子に電圧を印加してアクティブマトリクス駆動により表示を行うことで、既存のアクティブマトリクス駆動による表示装置と同様に画像の表示を行うことが可能である。

10 図面の簡単な説明

図 1 は、素子転写方法の工程を示す断面図であり、仮保持基板上に素子が配列された様子を示すものである。

図 2 は、粘着層が形成された転写基板を仮保持基板に平行に配置した様子を示す工程断面図である。

15 図 3 は、仮保持基板と転写基板を接近させて粘着層に素子を埋入させた様子を示す工程断面図である。

図 4 は、仮保持基板から素子を剥離して、素子を粘着層に埋入した状態で保持した様子を示す工程断面図である。

図 5 は、粘着層上に電気配線を形成した様子を示す工程断面図である。

20 図 6 は、接着剤層を形成した支持基板を素子と電気配線に接着した様子を示す工程断面図である。

図 7 は、粘着層と転写基板を剥離した状態を示す工程断面図である。

図 8 は、粘着層にコンタクトビアを開口した状態を示す工程断面図である。

25 図 9 は、粘着層上に金属を積層してコンタクトビアを充填すると共に、電気配線を形成した状態を示す断面図である。

図 1 0 は、本願発明の第二の実施の形態において、粘着層に素子が部分的に埋入する程度に仮保持基板と転写基板を接近させた状態を示す工程断面図である。

図 1 1 は、素子が粘着層に部分的に埋入した状態で、仮保持基板から素子を剥離した様子を示す工程断面図である。

図 1 2 は、粘着層から部分的に突出している素子を、さらに深く粘着層に埋入する様子を示す工程断面図である。

図 1 3 は、本願発明の第三の実施の形態において、異なる特性を有する素子を粘着層に繰り返して埋入する様子を示す工程断面図である。

図 1 4 A ～ 図 1 4 C は、本願発明の第四の実施の形態において、粘着層に素子が埋入された状態でさらに素子が埋入されていない領域に素子を追加して埋入する様子を示す工程断面図である。

発明を実施するための最良の形態

15 [第一の実施の形態]

以下、本願発明を適用した素子転写方法及び表示装置について、図面を参照しながら詳細に説明する。なお本願発明は、以下の記述に限定されるものではなく、本発明の要旨を逸脱しない範囲において適宜変更可能である。

図 1 に示すように、仮保持基板 1 上に仮接着層 2 を形成し、仮接着層 2 上に発光ダイオードである素子 3 を配列する。仮保持基板 1 は所要の剛性を有した基板であり、半導体基板、石英ガラス基板、プラスチック基板、金属基板などの種々の基板を用いることができる。仮接着層 2 は、仮保持基板 1 の取り扱い時に仮保持基板 1 上での素子 3 の位置が変位しない程度に、素子 3 を保持できる粘着力を有する材質により形成されている。また仮接着層 2 は、例えばシリコーン樹脂層によって形成される

が、シート状の接着剤層を貼り付けることや、接着剤層をスピンコート等により塗布することなどにより形成されてもよい。

素子 3 は、窒化ガリウムなどの窒化物半導体系の材料により構成される発光素子ダイオードであり、一例として活性層 3 b を p クラッド層 3 p と n クラッド層 3 n が挟んで構成されたダブルヘテロ構造を有する。また、ここで示す素子 3 は略平板状であり、素子 3 の活性層、クラッド層は活性層及びクラッド層を成長させるサファイア基板の主面に平行な面で延在され、選択成長などにより窒化ガリウム結晶層などを積層させることにより形成される。図中では素子 3 の仮接着層 2 側が p クラッド層 3 p である例を示しているが、仮接着層 2 側に n クラッド層 3 n が位置するように配置してもよい。また、図では省略しているが、p クラッド層 3 p の表面には後述する電気配線と素子 3 との接触抵抗を低減するための p 電極が形成されており、同様に n クラッド層 3 n の表面には n 電極が形成されている。

また、素子 3 はダブルヘテロ構造である必要も発光ダイオードである必要もなく、微細加工された電子回路素子であってもよい。素子 3 の形状としては略平板状である必要はなく、六角錐形状などの種々の形状に形成されてよいが、仮接着層 2 と密着して効率的に保持されるためには仮接着層 2 と接する面は平坦であることが望ましい。また、仮接着層 2 上での素子 3 同士の配置間隔を図中では一定間隔として示しているが、一定間隔である必要はない。

仮接着層 2 上での素子 3 の配列は平面内での縦横方向に複数配列されたマトリクス状であり、図中の紙面に垂直方向にも等間隔に複数の素子 3 が配列されている。素子 3 が表示素子として機能する発光ダイオードであるため、マトリクス状に配列された素子 3 を単純マトリクス駆動によって駆動することで画像の表示を行うことが可能となる。

次に図 2 に示すように、粘着層 5 が形成された転写基板 4 を仮保持基板 1 と平行になるように配置する。転写基板 4 は、半導体基板、石英ガラス基板、プラスチック基板、金属基板などの種々の基板を用いることができる。粘着層 5 は加熱処理等の外的要因により硬化する可塑性の樹脂であり、シート状の樹脂を貼り付けることや、樹脂をスピンコート等により塗布することなどにより形成される。粘着層 5 は素子 3 を例えば完全に粘着層 5 内に埋め込むことができる程度の厚さを有しているとする。また、後工程で粘着層 5 を除去せずに表示装置の絶縁層として利用するためには絶縁性の材料を用いることが望ましい。

次に図 3 に示すように、転写基板 4 と仮保持基板 1 とを平行なまま接近させ、仮接着層 2 上に保持されている素子 3 を粘着層 5 に埋入する。このとき、図 3 に示したように、仮接着層 2 と粘着層 5 とが接するまで素子 3 を粘着層 5 に埋入して、素子 3 の仮接着層 2 と接する面と粘着層 5 の表面が略同一面となるようにする。

粘着層 5 に素子 3 を埋入することにより転写基板 4 に対する素子 3 の配列を保持するため、素子 3 の形状に依らずに粘着層 5 内に素子 3 を埋め込み、転写基板 4 上に実装することが可能となる。また、仮保持基板 1 と転写基板 4 とを接近させることで仮接着層 2 上に配列された複数の素子 3 を、一括して粘着層 5 に埋入することができるため、仮接着層 2 上での素子 3 同士の配置状態を維持したまま同時に複数の素子 3 を転写基板 4 に実装させることが可能である。

次に図 4 に示すように、仮接着層 2 から素子 3 を剥離して、素子 3 が粘着層 5 に埋入された状態で転写基板 4 上の位置を保持する。この際、仮接着層 2 が素子 3 を保持する粘着力よりも、埋入された素子 3 を保持する粘着層 5 の粘着力が大きくなるように粘着層 5 と仮接着層 2 を構成する材質を選択しておくことで、仮保持基板 1 と転写基板 4 とを引き離

すだけで素子 3 を仮接着層 2 から剥離し、粘着層 5 に素子 3 を埋入した状態で保持することが可能となる。また、加熱や光照射などの環境変化によって粘着力が変化するように仮接着層 2 または粘着層 5 を構成する材質を選択して、素子 3 を粘着層 5 に埋入した後に仮接着層 2 の粘着力よりも粘着層 5 の粘着力が大きくなるように環境を変化させるとしてもよい。

粘着層 5 を硬化する前に仮接着層 2 から素子 3 を剥離するため、仮保持基板 1 と転写基板 4 とを引き離す際に必要な力が小さく、素子 3 を仮接着層 2 から剥離する際に仮保持基板 1 や転写基板 4 を破損する可能性が低くなる。特に、大画面の表示装置を製造する際には転写基板 4 の面積を大きくする必要があるため、転写基板 4 や仮保持基板 1 の破損を低減できることにより、製造コストの低減を図ることも可能となる。

次に図 5 に示すように、粘着層 5 に素子 3 が埋入されて保持された状態で粘着層 5 が硬化する様な外的要因、例えば加熱処理などを行って粘着層 5 の硬化を行い、粘着層 5 および素子 3 上に電気配線 6 を形成する。素子 3 と粘着層 5 が略同一面を構成しているので、粘着層 5 上にマスクを施して金属をスパッタする方法や、素子 3 および粘着層 5 上に金属層を形成した後にフォトリソグラフィーおよびエッチングを行う方法など、通常用いられる方法によって電気配線 6 を形成することが可能である。

次に図 6 に示すように、粘着層 5 の電気配線 6 が形成された面と接着剤層 8 とが接するように、接着剤層 8 が形成された支持基板 7 を粘着層

5に貼り付ける。このとき、粘着層5上に形成された複数の電気配線6と接着剤層8とが接触するため、接着剤層8は絶縁性の材質を選択する。支持基板7の貼り付けをした後、図7に示すようにレーザーを照射することによって転写基板4を粘着層5から剥離する。転写基板4と粘着層5の剥離を行うことにより、図に示すように、支持基板7上に接着剤層8が形成され、接着剤層8上に硬化した粘着層5が積層され、接着剤層8上に形成された電気配線6と粘着層5に埋入された複数の素子3とが接着剤層8と粘着層5の間に保持された状態となる。このとき、素子3は硬化した粘着層5から露出していないため、素子3のnクラッド層3nに対して電気配線の形成が行えないことになる。

そこで図8に示すように、硬化した粘着層5にドライエッチング等により素子3のnクラッド層3nまで到達する開口部であるコンタクトビア9を形成する。粘着層5にコンタクトビア9を開口することによって、素子3のnクラッド層3nが粘着層5から露出し、電気配線の形成を行うことが可能になる。

次に図9に示すように、コンタクトビア9に金属を充填すると共に粘着層5上に電気配線10を形成する。電気配線10の形成には、粘着層5上にマスクを施して金属をスパッタする方法や、素子3および粘着層5上に金属層を形成した後にフォトリソグラフィーおよびエッチングを行う方法など、通常用いられる方法により形成することが可能である。コンタクトビア9から露出した素子3の面はnクラッド層3n上に形成されたn電極であるので、電気配線10は各素子のnクラッド層3nと接続された配線となる。また、電気配線10は図中の紙面と水平方向に延伸してストライプ状に形成され、マトリクス状に配されている素子3の信号配線として機能する。

上述した方法で素子3の転写および電気配線6および電気配線10の

形成をおこなうことで、支持基板 7 上に接着剤層 8 が形成され、接着剤層 8 上に硬化した粘着層 5 が積層され、接着剤層 8 上に形成された電気配線 6 と粘着層 5 に埋入された複数の素子 3 とが接着剤層 8 と粘着層 5 の間に保持され、粘着層 5 に形成されたコンタクトビア 9 が金属で充填されて、粘着層 5 上に電気配線 10 が形成された素子 3 の配列が得られる。支持基板 7 上にマトリクス状に配置された素子 3 は発光ダイオードであり、電気配線 6 は素子 3 の p クラッド層 3 p に接続されたストライプ状の走査配線であり、電気配線 10 は素子 3 の n クラッド層 3 n に接続されたストライプ状の信号配線であるため、図 9 に示された素子の配列により、単純マトリクス駆動により表示を行うことが可能な表示装置が得られる。

本願発明の素子転写方法において、仮保持基板 1 上に形成された仮接着層 2 に素子 3 を配列して図 1 に示した状態とする方法の一例を以下に説明する。

素子 3 はサファイア基板上にマトリクス状に配列されるように形成された窒化ガリウムなどの窒化物半導体系の材料により発光素子ダイオードとして構成される。素子 3 は略平板状であり、素子 3 の活性層、クラッド層は活性層及びクラッド層を成長させるサファイア基板の主面と平行な面で延在され、選択成長などにより窒化ガリウム結晶層などを積層させることにより形成される。

素子 3 は、個々の素子ごとに分離されてサファイア基板上に形成されており、個々の素子ごとに分離するに際しては、例えば、R I E（反応性イオンエッチング）などにより分離可能である。本例では、素子 3 は略平板状の形状を有するが、サファイア基板の主面に対して傾斜した傾斜結晶層を有する素子でも良く、素子 3 が、例えばサファイア基板の主面に対して傾斜した面と平行な結晶面を有する活性層及びクラッド層か

らなる素子である場合には、素子を覆うように樹脂で被覆されたチップ状として転写することもできる。

続いて、素子 3 を仮接着層 2 に接着した状態で、サファイア基板から素子 3 を分離する。サファイア基板から素子 3 を分離するに際しては、
5 エキシマレーザや YAG レーザなどのレーザ光をサファイア基板の裏面から照射して、素子 3 とサファイア基板との界面にレーザアブレーションを生じさせる。レーザアブレーションとは、照射光を吸収した固定材料が光化学的又は熱的に励起され、その表面や内部の原子又は分子の結合が切断されることをいい、主に固定材料全部又は一部が溶融、蒸発、
10 気化などの相変化を生じる現象として現れる。このレーザアブレーションにより素子 3 とサファイア基板との界面では GaN 系材料が金属 Ga と窒素とに分解してガスが発生する。このため比較的簡単に素子 3 を剥離することができる。照射されるレーザ光としては、特に短波長域で高出力であることから、エキシマレーザを用いることが好ましく、瞬時での処理が可能であり、素子 3 の剥離を迅速に行うことができる。
15

上述したレーザアブレーションを用いて成長基板であるサファイア基板から仮保持基板 1 上に素子 3 配列することにより、成長基板上では素子 3 同士の間隔が非常に密接に配列されていても、選択的に素子 3 にレーザを照射して成長基板から剥離することで、素子 3 同士の間隔を大きくした状態で仮保持基板 1 上に配置を行うことが可能である。
20

素子 3 を粘着層 5 に埋入する素子転写方法を用いて表示装置を得ることにより、素子 3 の配列および電気配線 6 および電気配線 10 の形成を行うことができる。電気配線 6 と電気配線 10 とによって素子 3 に電圧を印加して単純マトリクス駆動により表示を行うことで、既存の単純マトリクス駆動による表示装置と同様に画像の表示を行うことが可能である。
25

[第二の実施の形態]

次に、本願発明の他の実施の形態を以下に図面を用いて説明する。本実施の形態は、上述した第一の実施の形態のうち、素子を粘着層に埋入する工程を変化させた素子の転写方法であり、他の工程は第一の実施の形態と同様であるために説明を省略する。

仮保持基板 2 1 上に形成された仮接着層 2 2 上に素子 2 3 を配列し、粘着層 2 5 が形成された転写基板 2 4 を仮保持基板 2 1 と平行になるように配置した後に、仮保持基板 2 1 と転写基板 2 4 とを接近させていく。第一の実施の形態では仮接着層と粘着層とが接触するまで仮保持基板と転写基板を接近させて、素子と粘着層の表面が略同一面となるまで素子を粘着層に埋入したが、本実施の形態では図 1 0 に示すように、仮接着層 2 2 と粘着層 2 5 とが接触せずに、素子 2 3 が部分的に粘着層 2 5 に埋入した状態となるまで仮保持基板 2 1 と転写基板 2 4 とを接近させる。

粘着層 2 5 に素子 2 3 を部分的に埋入した後に、図 1 1 に示すように、仮接着層 2 2 から素子 2 3 を剥離して、素子 2 3 が粘着層 2 5 に埋入された状態で転写基板 2 4 上の位置を保持する。この際、仮接着層 2 2 が素子 2 3 を保持する粘着力よりも、埋入された素子 2 3 を保持する粘着層 2 5 の粘着力が大きくなるように粘着層 2 5 と仮接着層 2 2 を構成する材質を選択しておくことで、仮保持基板 2 1 と転写基板 2 4 とを引き離すだけで素子 2 3 を仮接着層 2 2 から剥離し、粘着層 2 5 に素子 2 3 を埋入した状態で保持することが可能となる。また、加熱や光照射などの環境変化によって粘着力が変化するように仮接着層 2 2 または粘着層 2 5 を構成する材質を選択して、素子 2 3 を粘着層 2 5 に埋入した後に仮接着層 2 2 の粘着力よりも粘着層 2 5 の粘着力が大きくなるように環境を変化させるとしてもよい。

仮接着層 2 2 と粘着層 2 5 とを接触させずに仮接着層 2 2 から素子 2

3を剥離するため、仮保持基板21と転写基板24とを引き離す際に必要な力が小さく、素子23を仮接着層22から剥離する際に仮保持基板21や転写基板24を破損する可能性が低くなる。特に、大画面の表示装置を製造する際には転写基板24の面積を大きくする必要があるため、
5 転写基板24や仮保持基板21の破損を低減できることにより、製造コストの低減を図ることも可能となる。

次に図12に示すように、粘着層25に部分的に埋入して粘着層25から部分的に突出した状態の素子23を、ローラー等で粘着層25に更に深く埋入し、素子23と粘着層25の表面が略同一面となるまで素子
10 23を粘着層25に埋入して粘着層25に保持させる。

その後は第一の実施の形態と同様にして、粘着層25に素子23が埋入されて保持された状態で粘着層25が硬化する様な外的要因、例えば加熱処理などを行って粘着層25の硬化を行い、粘着層25および素子23上に電気配線を形成し、粘着層25の電気配線が形成された面と接着剤層とが接するように、接着剤層が形成された支持基板を粘着層25
15 に貼り付ける。支持基板の貼り付けをした後、レーザーを照射することによって転写基板24を粘着層25から剥離する。

次に、硬化した粘着層25にドライエッチング等により素子23まで到達する開口部であるコンタクトビアを形成し、コンタクトビアに金属
20 を充填すると共に粘着層25上に電気配線を形成する。素子23および電気配線の配列と電氣的な接続構造により、第一の実施の形態と同様に単純マトリクス駆動により表示を行う表示装置を得ることができる。

[第三の実施の形態]

次に、本願発明の他の実施の形態を以下に図面を用いて説明する。本
25 実施の形態は、上述した第一の実施の形態のうち、素子を粘着層に埋入する工程を複数回繰り返して行う素子の転写方法であり、他の工程は第

一の実施の形態と同様であるために説明を省略する。

図 1 3 は本実施の形態において素子 3 3 R を粘着層 3 5 に埋入する工程を示した図である。素子 3 3 R は赤色を発光する発光ダイオードである。仮保持基板上に形成された仮接着層上に素子 3 3 R を配列し、粘着層 3 5 が形成された転写基板 3 4 を仮保持基板と平行になるように配置した後に、仮保持基板と転写基板 3 4 とを接近させて、粘着層 3 5 に素子 3 3 R を埋入する。仮接着層から素子 3 3 R を剥離して、図 1 3 (A) に示すように素子 3 3 R が粘着層 3 5 に埋入された状態で転写基板 3 4 上の位置を保持する。

その後図 1 3 (B) に示すように、緑色を発光する発光ダイオードである素子 3 3 G を再度図 1 乃至図 4 に示した手順で素子 3 3 R に隣接する位置に埋入し、その後さらに、図 1 3 (C) 青色を発光する発光ダイオードである素子 3 3 B を素子 3 3 G に隣接する位置に埋入する。

複数種類の素子を粘着層 3 5 に埋入した後に、第一の実施の形態と同様に、粘着層 3 5 に素子 3 3 R, 3 3 G, 3 3 B が埋入されて保持された状態で粘着層 3 5 が硬化する様な外的要因、例えば加熱処理などを行って粘着層 3 5 の硬化を行い、粘着層 3 5 および素子 3 3 上に電気配線を形成し、粘着層 3 5 の電気配線が形成された面と接着剤層とが接するように、接着剤層が形成された支持基板を粘着層 3 5 に貼り付ける。支持基板の貼り付けをした後、レーザーを照射することによって転写基板 3 4 を粘着層 3 5 から剥離する。

次に、硬化した粘着層 3 5 にドライエッチング等により素子 3 3 まで到達する開口部であるコンタクトビアを形成し、コンタクトビアに金属を充填すると共に粘着層 3 5 上に電気配線を形成する。素子 3 3 R, 3 3 G, 3 3 B および電気配線の配列と電氣的な接続構造により、赤・緑・青の発光を行う素子により一画素を構成する表示装置を得ることが可

能である。

異なる特性を有する素子は、一般的に、同一の成長基板上に形成することが困難であり、そのために、異なる特性を有する素子を仮保持基板上に配列した後に粘着層 3 5 に素子 3 3 を埋入するのは困難である。粘着層 3 5 を硬化する前に仮保持基板上に配列した素子 3 3 の粘着層 3 5 への埋入を繰り返して行うことにより、異なる特性を有する素子 3 3 を転写基板 3 4 上の同一面内に配列することが容易になる。また、粘着層 3 5 に素子 3 3 R が埋入された状態で異なる特性の素子 3 3 G を粘着層 3 5 に埋入することで、仮保持基板上に配列された素子 3 3 G と粘着層 3 5 に埋入されている素子 3 3 R との位置関係を調整する際に、素子 3 3 G と素子 3 3 R とが干渉して配列が乱れることを防止することができる。

また、素子 3 3 としては発光ダイオードの他にも、受光素子や駆動回路素子などを用いることが出来るため、表示素子と受光素子を同一面内に混在させて配列することや、表示素子と駆動回路素子とを同一面内に混在させて配列することが容易に行える。

表示素子と駆動回路素子とを一画素中に混在させて素子の転写を行い、電気配線の形成を行うことにより、駆動回路素子に対して電気信号を送出して、駆動回路素子によって画素毎の発光を制御するアクティブマトリクス駆動の表示素子を得ることもできる。

[第四の実施の形態]

次に、本願発明の他の実施の形態を以下に図面を用いて説明する。本実施の形態は、上述した第一の実施の形態のうち、素子を粘着層に埋入する工程を複数回繰り返して行う素子の転写方法であり、他の工程は第一の実施の形態と同様であるために説明を省略する。

図 1 4 A ~ 図 1 4 C は本実施の形態において素子 4 3 を粘着層 4 5 に

埋入する工程を示した図である。仮保持基板上に形成された仮接着層上に素子 4 3 を配列し、粘着層 4 5 が形成された転写基板 4 4 を仮保持基板と平行になるように配置した後に、仮保持基板と転写基板 4 4 とを接近させて、粘着層 4 5 に素子 4 3 を埋入する。仮接着層から素子 4 3 を剥離して、図 1 4 A に示すように素子 4 3 が粘着層 4 5 に埋入された状態で転写基板 4 4 上の位置を保持する。このとき、素子 4 3 が埋入される領域は転写基板 4 4 上での一部分であり、素子 4 3 が埋入されていない粘着層 4 5 の領域があるとする。

次に図 1 4 B および図 1 4 C に示すように、素子 4 3 が埋入されていない粘着層 4 5 の領域にさらに素子 4 3 を追加して埋入する。複数回に分割して素子 4 3 を粘着層 4 5 に埋入した後に、第一の実施の形態と同様に、粘着層 4 5 に素子が埋入されて保持された状態で粘着層 4 5 が硬化する様な外的要因、例えば加熱処理などを行って粘着層 4 5 の硬化を行い、粘着層 4 5 および素子 4 3 上に電気配線を形成し、粘着層 4 5 の電気配線が形成された面と接着剤層とが接するように、接着剤層が形成された支持基板を粘着層 4 5 に貼り付ける。支持基板の貼り付けをした後、レーザーを照射することによって転写基板 4 4 を粘着層 4 5 から剥離する。

次に、硬化した粘着層 4 5 にドライエッチング等により素子 4 3 まで到達する開口部であるコンタクトビアを形成し、コンタクトビアに金属を充填すると共に粘着層 4 5 上に電気配線を形成する。素子 4 3 および電気配線の配列と電氣的な接続構造により、単純マトリクス駆動により表示を行うことが可能な表示装置が得られる。

粘着層 4 5 に素子 4 3 が埋入された状態で、素子 4 3 が埋入されていない転写基板 4 4 上の領域にさらに追加して素子 4 3 を埋入して保持することにより、素子 4 3 を仮保持基板に配列することが可能な面積が限

定されている場合にも、転写基板 4 4 の面積を大きくして、大面積の基板上にも素子配列を行うことが可能となる。これは、特に大画面の表示装置を製造する場合に有用な素子転写方法となる。

5 産業上の利用可能性

10 粘着層を硬化する前に仮接着層から素子を剥離するため、仮保持基板と転写基板とを引き離す際に必要な力が小さく、素子を仮接着層から剥離する際に仮保持基板や転写基板を破損する可能性が低くなる。特に、大画面の表示装置を製造する際には転写基板の面積を大きくする必要が
あるため、転写基板や仮保持基板の破損を低減できることにより、製造コストの低減を図ることも可能となる。

15 粘着層を硬化する前に異なる特性を有する素子を粘着層に埋入することで、同一の成長基板上には形成し得ない素子を転写基板上に配列して保持させることができ、異なる色の発光を行う発光ダイオードを配列することで多色表示の表示装置を得ることもできる。また、素子として発
光ダイオードのほかに受光素子を用いることや、駆動回路を用いることも可能である。

20 表示素子と駆動回路素子とを一画素中に混在させて素子の転写を行い、電気配線の形成を行うことにより、駆動回路素子に対して電気信号を送出して、駆動回路素子によって画素毎の発光を制御するアクティブマト
リクス駆動の表示素子を得ることもできる。

25 粘着層に素子が埋入された状態で、転写基板上の素子が埋入されていない領域にさらに追加して素子を埋入して保持することにより、素子を仮保持基板に配列することが可能な面積が限定されている場合にも、転写基板の面積を大きくして、大面積の基板上にも素子配列を行うことが
可能となる。これは、特に大画面の表示装置を製造する場合に有用な素

子転写方法となる。

請 求 の 範 囲

1. 第一の基板上に配列された素子を、第二の基板上に形成された粘着層に埋入する工程と、
- 5 前記第一の基板から前記素子を剥離して、前記素子を前記粘着層に埋入した状態で保持する工程と、を有することを特徴とする素子転写方法。
2. 前記粘着層に前記素子を埋入して保持した後に、前記粘着層を硬化する工程を有することを特徴とする請求項1記載の素子転写方法。
3. 前記粘着層を硬化した後に、前記粘着層上に第一の電気配線を形成する工程を有することを特徴とする請求項2記載の素子転写方法。
- 10 4. 前記粘着層上に前記第一の電気配線を形成した後に、前記粘着層の前記第一の電気配線が形成された面に第三の基板を貼り付ける工程を有することを特徴とする請求項3記載の素子転写方法。
5. 前記粘着層の前記第一の電気配線が形成された面に第三の基板を貼り付けた後に、前記第二の基板と前記粘着層とを剥離する工程を有することを特徴とする請求項4記載の素子転写方法。
- 15 6. 前記第二の基板と前記粘着層とを剥離した後に、前記粘着層に前記素子まで到達する開口部を形成することを特徴とする請求項5記載の素子転写方法。
- 20 7. 前記開口部に導電性材料を充填するとともに、前記粘着層上に第二の電気配線を形成する工程を有することを特徴とする請求項6記載の素子転写方法。
8. 前記素子を前記粘着層に埋入する前に、前記第一の基板上に形成された仮接着層に前記素子を接触させ、前記素子を前記仮接着層に仮接着することで前記第一の基板上に前記素子を配列する工程をさらに有することを特徴とする請求項1記載の素子転写方法。
- 25

9. 前記第一の基板上に形成された前記仮接着層の粘着力よりも、前記第二の基板上に形成された前記粘着層の粘着力が大であることを特徴とする請求項8記載の素子転写方法。

10. 前記粘着層または前記仮接着層の粘着力を変化させ、前記仮接着層の粘着力よりも前記粘着層の粘着力を大とすることを特徴とする請求項9記載の素子転写方法。

11. 前記粘着層に対する埋入は、前記素子を部分的に埋没させる程度に行うことを特徴とする請求項1記載の素子転写方法。

12. 前記粘着層は、絶縁性材料により形成されることを特徴とする請求項1記載の素子転写方法。

13. 第二の基板上に形成された粘着層に一方の素子が埋入された状態で、さらに第一の基板上に配列された他方の素子を前記粘着層に埋入する工程と、

15 前記第一の基板から前記他方の素子を剥離して、前記他方の素子を前記粘着層に埋入した状態で保持する工程と、を有することを特徴とする素子転写方法。

14. 前記一方の素子と前記他方の素子とは異なる特性を有する素子であることを特徴とする請求項13記載の素子転写方法。

20 15. 前記基板上的異なる領域に前記一方の素子と前記他方の素子を埋入して保持することを特徴とする請求項13記載の素子転写方法。

16. 第一の基板上に配列された素子を、第二の基板上に形成された粘着層に埋入し、

前記第一の基板から前記素子を剥離して、前記素子を前記粘着層に埋入した状態で保持させて前記粘着層を硬化し、

25 前記粘着層上に第一の電気配線を形成し、前記粘着層の前記第一の電気配線が形成された面に第三の基板を貼り付け、前記第二の基板と前記

粘着層とを剥離し、

前記粘着層に前記素子まで到達する開口部を形成して、前記開口部に導電性材料を充填するとともに、前記粘着層上に第二の電気配線を形成して得られることを特徴とする表示装置。

- 5 17. 前記第一の電気配線と前記第二の電気配線とによって前記素子に電圧を印加して単純マトリクス駆動により表示を行うことを特徴とする請求項16記載の表示装置。

18. 第一の基板上に配列された一方の素子を第二の基板上に形成された粘着層に埋入し、前記第一の基板から前記一方の素子を剥離して前
10 記一方の素子を前記粘着層に埋入した状態で保持し、

前記粘着層に一方の素子が埋入された状態で、さらに第一の基板上に配列された他方の素子を前記粘着層に埋入し、前記第一の基板から前記他方の素子を剥離して前記他方の素子を前記粘着層に埋入した状態で保持し、

- 15 前記一方の素子および前記他方の素子を前記粘着層に埋入した状態で保持させて前記粘着層を硬化し、

前記粘着層上に第一の電気配線を形成し、前記粘着層の前記第一の電気配線が形成された面に第三の基板を貼り付け、前記第二の基板と前記粘着層とを剥離し、

- 20 前記粘着層に前記一方の素子または前記他方の素子をまで到達する開口部を形成して、前記開口部に導電性材料を充填するとともに、前記粘着層上に第二の電気配線を形成して得られることを特徴とする表示装置。

19. 前記一方の素子と前記他方の素子とは異なる特性を有する素子であることを特徴とする請求項18記載の表示装置。

- 25 20. 前記第二の基板での異なる領域に前記一方の素子と前記他方の素子を埋入して保持することを特徴とする請求項18記載の表示装置。

21. 前記第一の電気配線と前記第二の電気配線とによって前記一方の素子または前記他方の素子に電圧を印加して単純マトリクス駆動により表示を行う請求項18記載の表示装置。

22. 前記一方の素子または前記他方の素子が、表示素子または駆動回路素子であることを特徴とする請求項18記載の表示装置。

23. 前記駆動回路素子により前記表示素子に電圧を印加してアクティブマトリクス駆動により表示を行うことを特徴とする請求項22記載の表示装置。

THIS PAGE BLANK (USPTO)

1/8

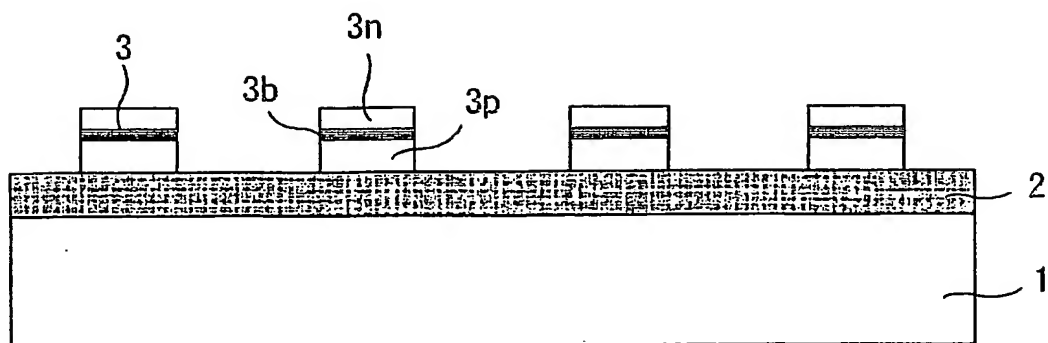


Fig.1

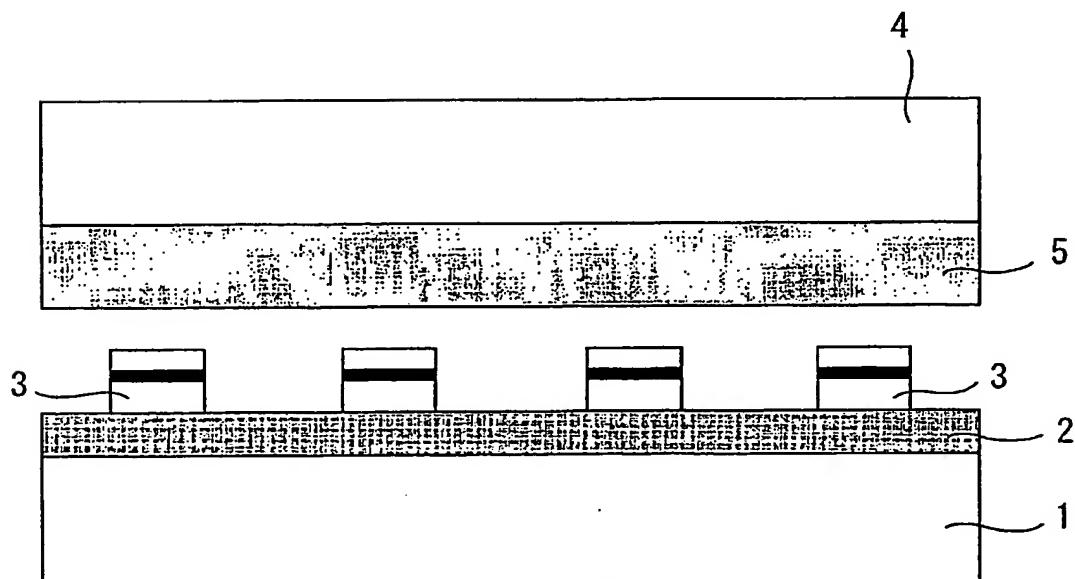


Fig.2

THIS PAGE BLANK (USPTO)

2/8

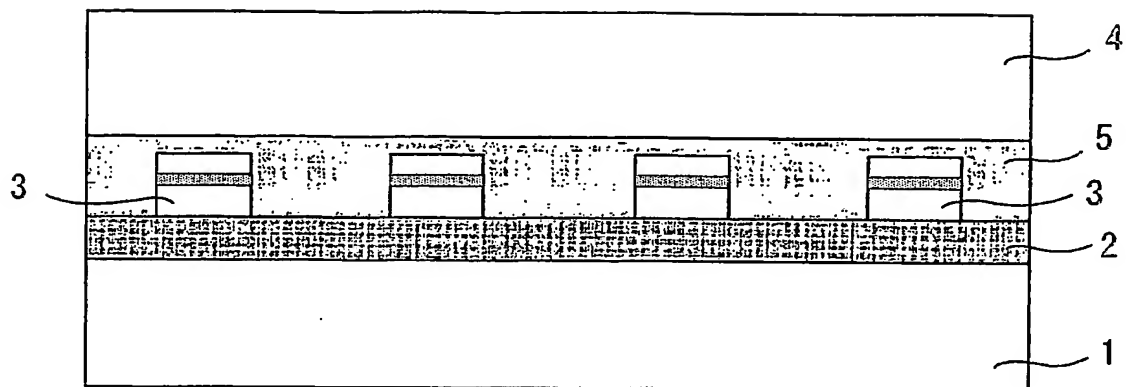
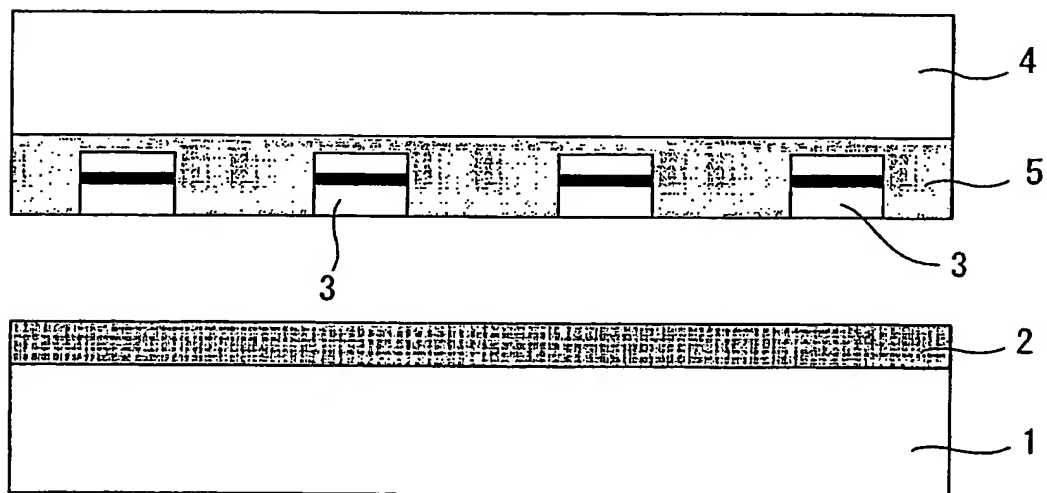


Fig.3



↓ 剥離

Fig.4

THIS PAGE BLANK (USPTO)

3/8

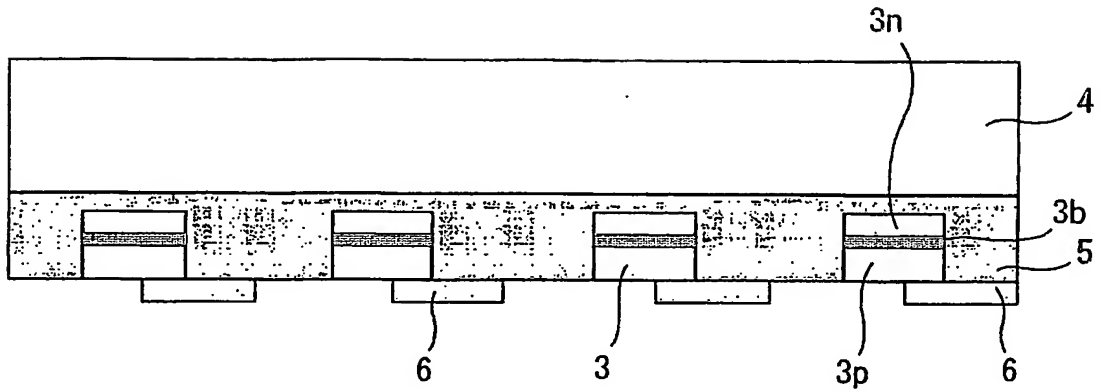


Fig.5

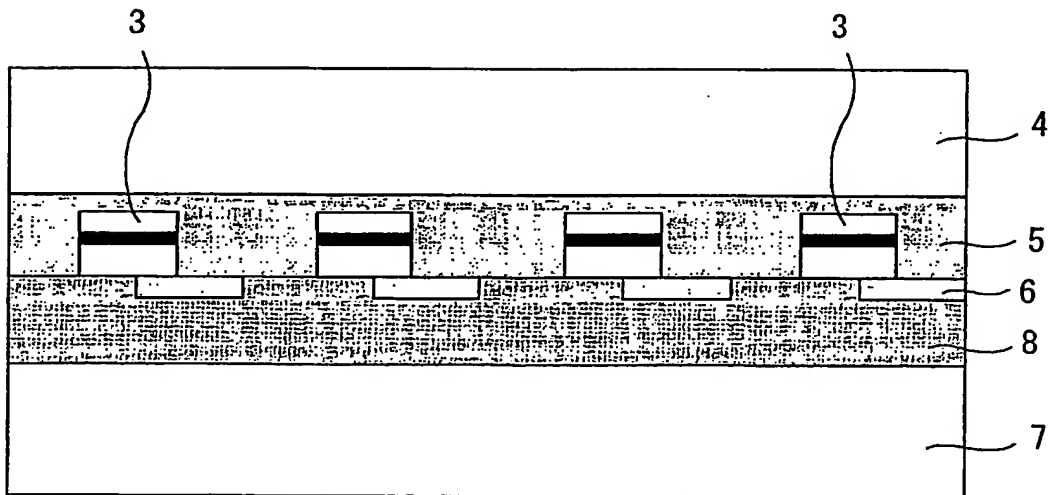


Fig.6

THIS PAGE BLANK (USF)

4/8

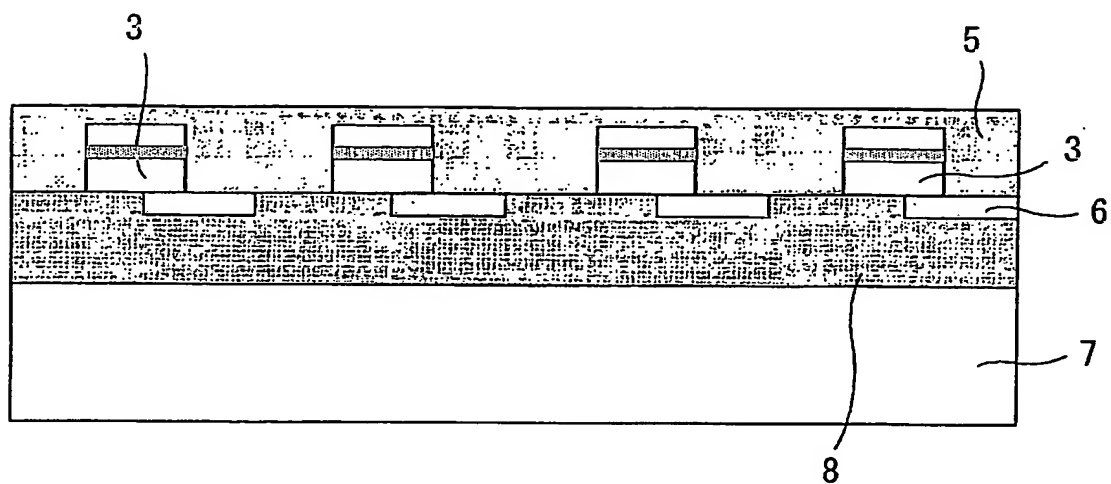


Fig.7

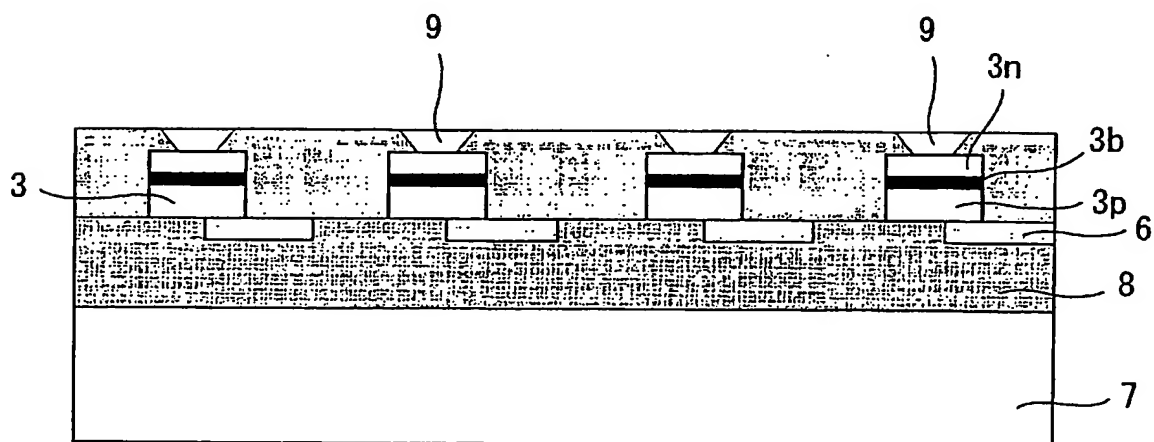


Fig.8

THIS PAGE BLANK (USFTO)

5/8

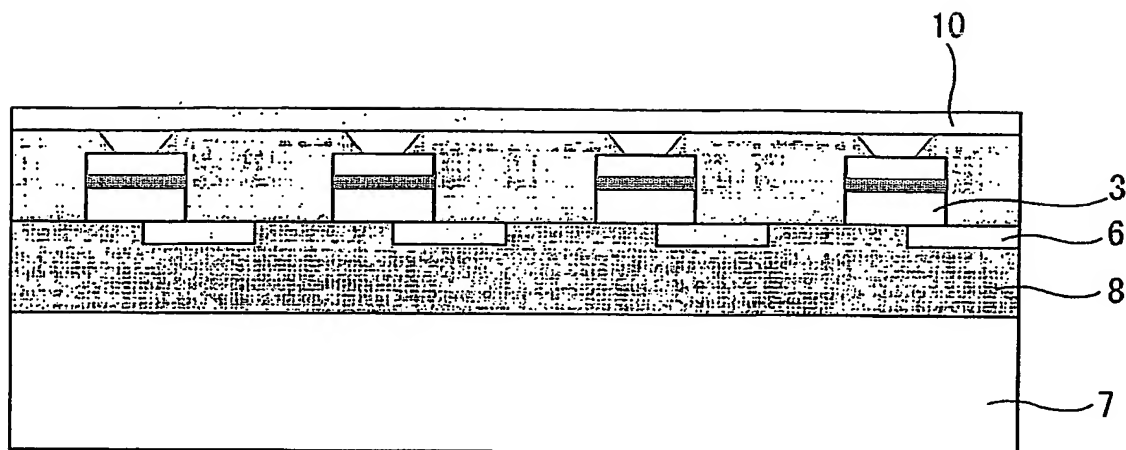


Fig.9

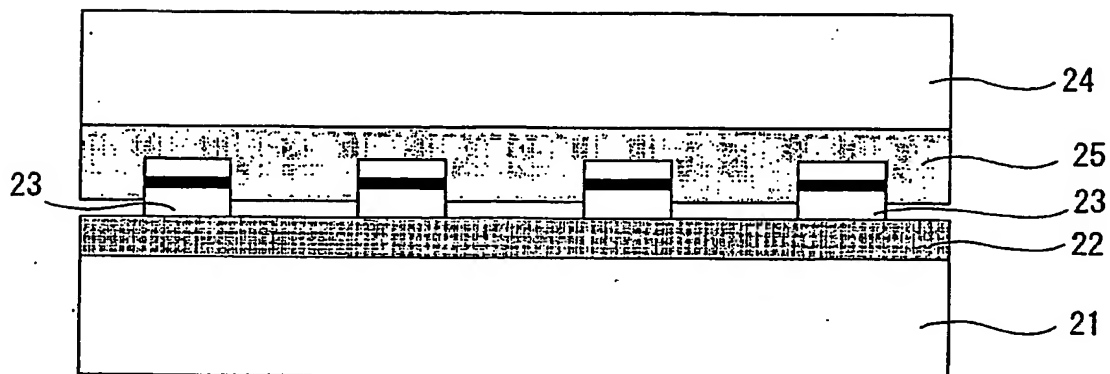


Fig.10

THIS PAGE BLANK (USPTO)

6/8

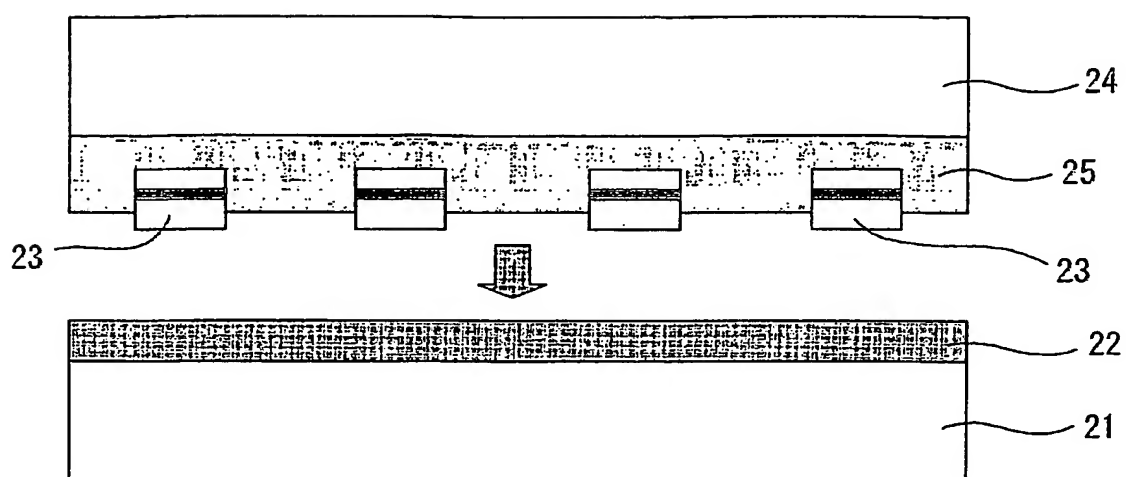


Fig.11

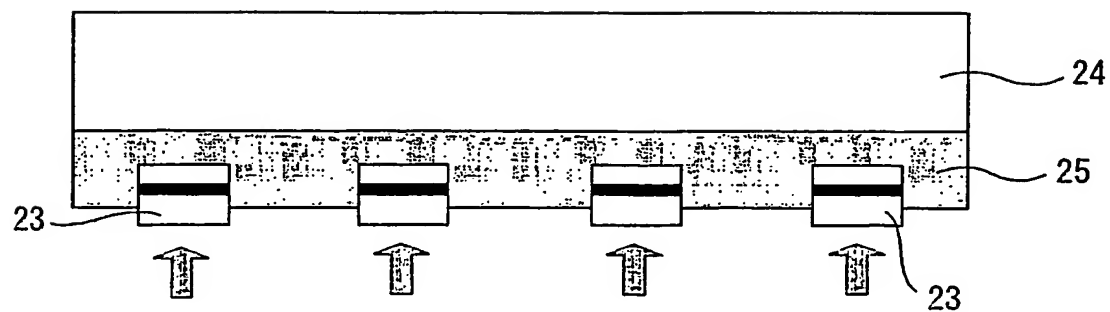
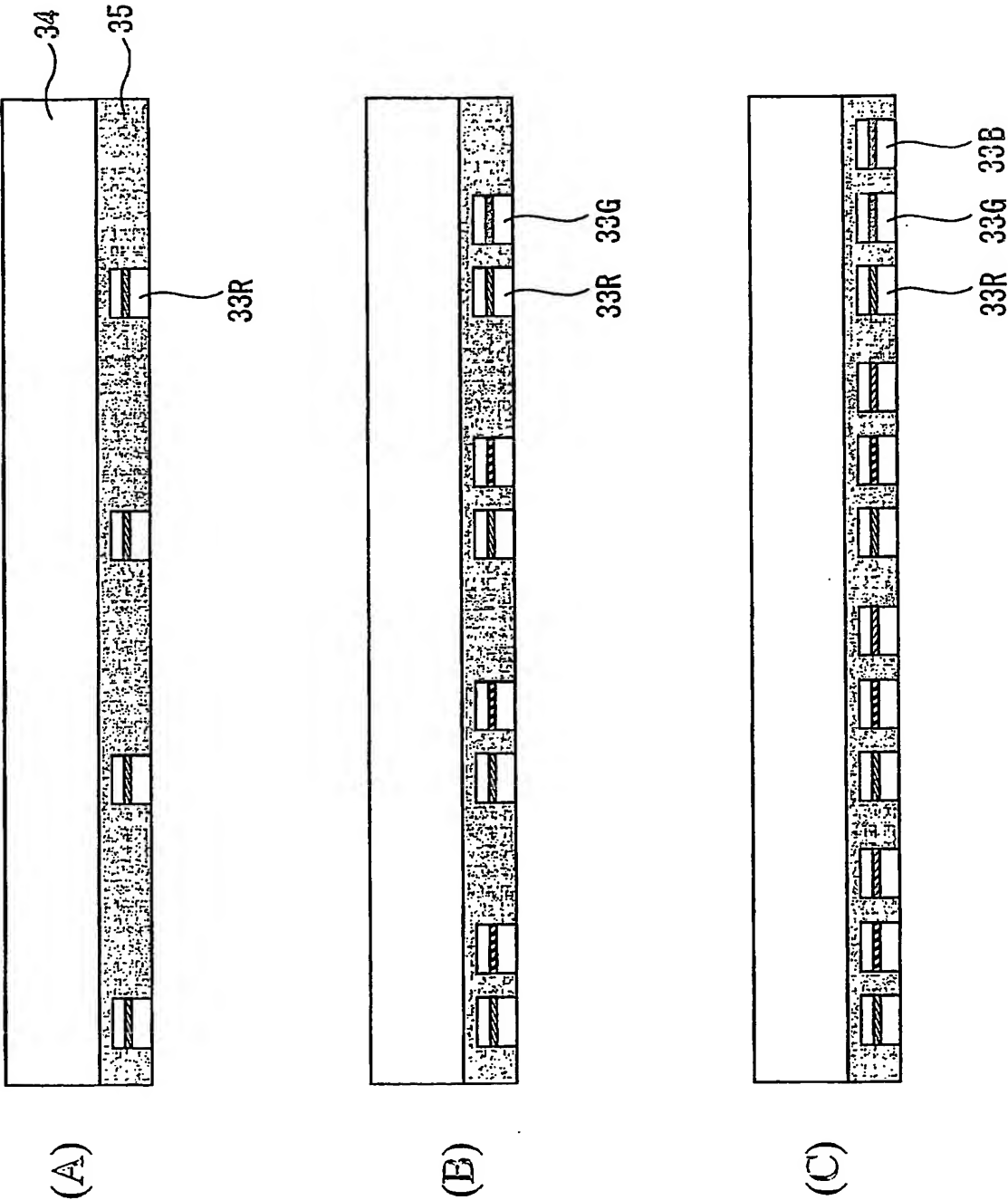


Fig.12

THIS PAGE BLANK (USPTO)

Fig.13



IS PAGE BLANK (USPTO)

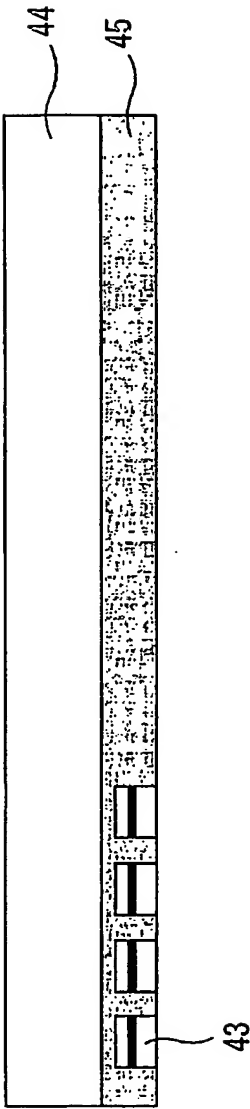


Fig. 14A

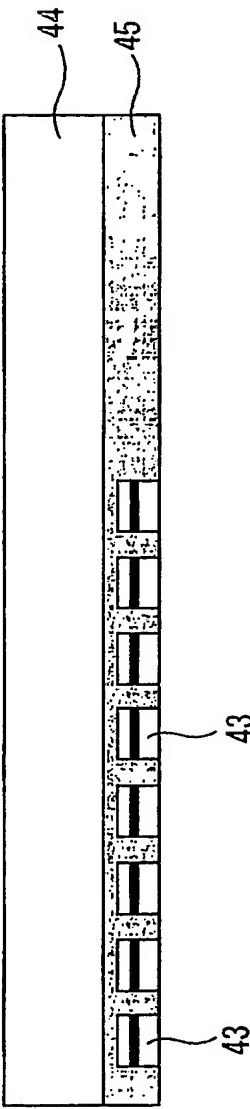


Fig. 14B

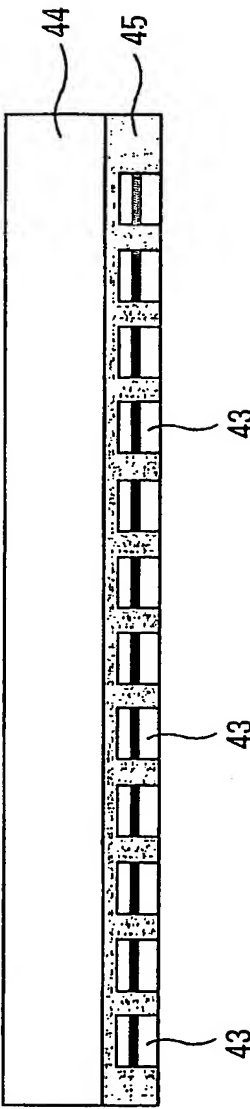


Fig. 14C

THIS PAGE BLANK (USPTO)

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/000769

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ G09F9/33, H01L33/00, H01L27/12

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ G09F9/33, H01L33/00, H01L27/12, H01L29/78

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1926-1996 Toroku Jitsuyo Shinan Koho 1994-2004

Kokai Jitsuyo Shinan Koho 1971-2004 Jitsuyo Shinan Toroku Koho 1996-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2003-007986 A (Sony Corp.), 10 January, 2003 (10.01.03), Full text; all drawings	1-5, 8-10, 12-15 6-7, 16-23
A	& WO 02/84631 A1 & JP 2002-314052 A & JP 2002-368282 A & KR 2003029054 A & US 2003/0162463 A1	
X	JP 2002-182580 A (Sony Corp.), 26 June, 2002 (26.06.02), Full text; all drawings (Family: none)	1-2, 11-12

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
08 April, 2004 (08.04.04)

Date of mailing of the international search report
20 April, 2004 (20.04.04)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/000769

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 2002/0096994 A1 (SONY CORP.), 25 July, 2002 (25.07.02), Full text; all drawings & JP 2002-261335 A & WO 02/07132 A1 & AU 200172740 A & EP 1310934 A1 & TW 502463 A & KR 2003019580 A & US 6613610 B2 & CN 1447958 A	1, 11-12
A	JP 2002-270898 A (Sony Corp.), 20 September, 2002 (20.09.02), Par. Nos. [0051] to [0052]; Figs. 6 to 7 & WO 02/73706 A1 & US 2003/0157741 A1 & EP 1367654 A1 & KR 2002093108 A & CN 1461499 A	6-7, 16-23

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl⁷ G09F9/33, H01L33/00, H01L27/12

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl⁷ G09F9/33, H01L33/00, H01L27/12, H01L29/78

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1926-1996年
 日本国公開実用新案公報 1971-2004年
 日本国登録実用新案公報 1994-2004年
 日本国実用新案登録公報 1996-2004年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	JP 2003-007986 A (ソニー株式会社) 2003. 01. 10、全文、全図 &WO 02/84631 A1 &JP 2002-314052 A &JP 2002-368282 A &KR 2003029054 A &US 2003/0162463 A1	1-5, 8-10, 12-15
A		6-7, 16-23

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
 「O」 口頭による開示、使用、展示等に言及する文献
 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献
 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」 同一パテントファミリー文献

国際調査を完了した日

08. 04. 2004

国際調査報告の発送日

20. 4. 2004

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)
 郵便番号100-8915
 東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

佐竹 政彦

2M

2911

電話番号 03-3581-1101 内線 3274

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	JP 2002-182580 A (ソニー株式会社) 2002. 06. 26、全文、全図 (ファミリーなし)	1-2, 11-12
X	US 2002/0096994 A1 (SONY CORP) 2002. 07. 25、全文、全図 &JP 2002-261335 A &WO 02/07132 A1 &AU 200172740 A &EP 1310934 A1 &TW 502463 A &KR 2003019580 A &US 6613610 B2 &CN 1447958 A	1, 11-12
A	JP 2002-270898 A (ソニー株式会社) 2002. 09. 20、【0051】 - 【0052】段落、図6-7 &WO 02/73706 A1 &US 2003/0157741 A1 &EP 1367654 A1 &KR 2002093108 A &CN 1461499 A	6-7, 16-23